

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

THIS PAGE BLANK (USPIC,

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-023693

(43)Date of publication of application : 23.01.2002

(51)Int.Cl. G09G 3/28
G09G 3/20
H04N 5/66

(21)Application number : 2000-205329

(71)Applicant : PIONEER ELECTRONIC CORP

(22)Date of filing : 06.07.2000

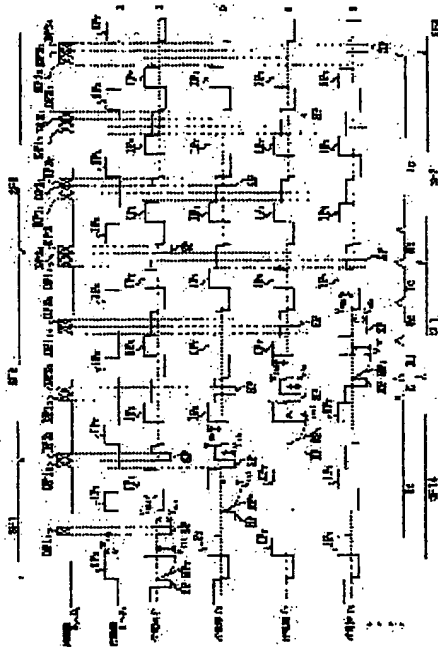
(72)Inventor : TOKUNAGA TSUTOMU

(54) DRIVING METHOD FOR PLASMA DISPLAY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a driving method for a plasma display panel to improve display quality.

SOLUTION: Display cells of a plasma display panel are initialized to a light emitting cell state (a non-light emitting cell state) only in a leading subfield within one field display period. Then, the following processes are executed in each of the subfields, i.e., a data writing process successively applies scanning pulses to each of row electrodes to generate selective discharges so that each of the display cells is selectively transitioned from a light emitting cell state (a non-light emitting cell state) to a non-light emitting cell state (a light emitting cell state) in accordance with inputted video signals and a light emitting maintaining process applies a maintaining pulse train to every row electrode following the above scanning pulses to generate maintaining discharges so that only display cells in the light emitting cell state emit light beams for the number of times corresponding to the weighting of the subfields.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-23693

(P2002-23693A)

(43) 公開日 平成14年1月23日 (2002.1.23)

(51) Int.Cl. ⁷	識別記号	F I	テーム (参考)
G 0 9 G 3/28		G 0 9 G 3/20	6 4 1 E 5 C 0 5 8
3/20	6 4 1		6 4 1 R 5 C 0 8 0
H 0 4 N 5/66	1 0 1	H 0 4 N 5/66	1 0 1 B
		G 0 9 G 3/28	K
			H
審査請求 未請求 請求項の数4 O L (全 19 頁)			

(21) 出願番号 特願2000-205329 (P2000-205329)

(22) 出願日 平成12年7月6日 (2000.7.6)

(71) 出願人 000005016

パイオニア株式会社

東京都目黒区目黒1丁目4番1号

(72) 発明者 徳永 勉

山梨県中巨摩郡田富町西花輪2680番地 パ

イオニア株式会社内

(74) 代理人 100079119

弁理士 藤村 元彦

Fターム (参考) 5C058 AA11 AB02 BA05 BA07 BA08

BA33 BB03 BB04 BB13

5C080 AA05 BB05 DD05 DD06 EE29

HH02 HH05 HH07 JJ02 JJ04

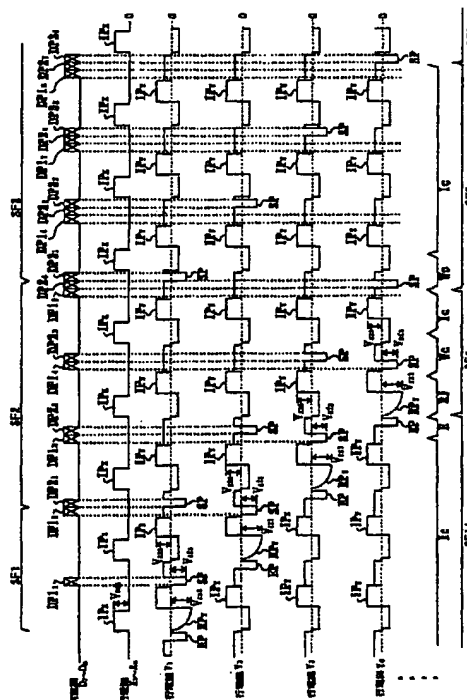
JJ05

(54) 【発明の名称】 プラズマディスプレイパネルの駆動方法

(57) 【要約】

【課題】 表示品質を向上させることができるプラズマディスプレイパネルの駆動方法を提供することを目的とする。

【解決手段】 1フィールド表示期間の先頭のサブフィールドにおいてのみで、プラズマディスプレイパネルの表示セルを発光セル状態 (非発光セル状態) に初期化せしめる。そして、各サブフィールドにおいて、入力映像信号に応じて選択的に表示セルの各々を発光セル状態 (非発光セル状態) から非発光セル状態 (発光セル状態) に推移せしめるべき選択放電を生起させる走査パルスを行電極の各々に順次印加せしめるデータ書込行程と、発光セル状態にある表示セルのみをサブフィールドの重み付けに対応した回数だけ発光せしめるべき維持放電を生起させる維持パルス列を各行電極毎に上記走査パルスに連なって印加せしめる発光維持行程とを実行する。



【特許請求の範囲】

【請求項1】 表示ラインを担う複数の行電極と前記行電極各々に交叉して配列された複数の列電極との各交叉部に画素を担う表示セルが形成されているプラズマディスプレイパネルを、入力映像信号の1フィールド表示期間を複数のサブフィールドに分割して階調駆動するプラズマディスプレイパネルの駆動方法であって、前記1フィールド表示期間の先頭のサブフィールドにおいてのみで、前記表示セルを発光セル状態に初期化せしめるリセット行程を実行し、前記サブフィールドの各々において、前記入力映像信号に応じて選択的に前記表示セルの各々を前記発光セル状態から前記非発光セル状態に推移せしめるべき選択消去放電を生起させる走査パルスを行電極の各々に順次印加せしめるデータ書込行程と、前記発光セル状態にある表示セルのみを前記サブフィールドの重み付けに対応した回数だけ発光せしめるべき維持放電を生起させる維持パルス列を各行電極毎に前記走査パルスの直後に印加せしめる発光維持行程と、を実行することを特徴とするプラズマディスプレイパネルの駆動方法。

【請求項2】 前記データ書込行程は、直前の前記サブフィールドの前記発光維持行程での前記維持パルス列中の最終の維持パルスが前記行電極に印加された直後に前記走査パルスを前記行電極に印加することを特徴とする請求項1記載のプラズマディスプレイパネルの駆動方法。

【請求項3】 表示ラインを担う複数の行電極と前記行電極各々に交叉して配列された複数の列電極との各交叉部に画素を担う表示セルが形成されているプラズマディスプレイパネルを、入力映像信号の1フィールド表示期間を複数のサブフィールドに分割して階調駆動するプラズマディスプレイパネルの駆動方法であって、前記1フィールド表示期間の先頭のサブフィールドにおいてのみで、前記表示セルを非発光セル状態に初期化せしめるリセット行程を実行し、前記サブフィールドの各々において、前記入力映像信号に応じて選択的に前記表示セルの各々を前記非発光セル状態から前記発光セル状態に推移せしめるべき選択消去放電を生起させる走査パルスを前記行電極の各々に順次印加せしめるデータ書込行程と、前記発光セル状態にある表示セルのみを前記サブフィールドの重み付けに対応した回数だけ発光せしめるべき維持放電を生起させる維持パルス列を各行電極毎に前記走査パルスの直後に印加せしめる発光維持行程と、を実行することを特徴とするプラズマディスプレイパネルの駆動方法。

【請求項4】 前記データ書込行程は、直前の前記サブフィールドの前記発光維持行程での前記維持パルス列中の最終の維持パルスが前記行電極に印加された直後に前

記走査パルスを前記行電極に印加することを特徴とする請求項3記載のプラズマディスプレイパネルの駆動方法。

【発明の詳細な説明】

【0001】

【発明が属する技術分野】本発明は、プラズマディスプレイパネルの駆動方法に関する。

【0002】

【従来の技術】近年、表示装置の大画面化にともなって薄型のものが要求され、各種の薄型表示デバイスが実用化されている。交流放電型のプラズマディスプレイパネルは、この薄型表示デバイスの1つとして着目されている。図1は、かかるプラズマディスプレイパネルと、これを駆動する駆動装置とからなるプラズマディスプレイ装置の概略構成を示す図である。

【0003】図1において、プラズマディスプレイパネルとしてのPDP10は、 m 個の列電極 $D_1 \sim D_m$ と、これら列電極各々と交叉して配列された夫々 n 個の行電極 $X_1 \sim X_n$ 及び行電極 $Y_1 \sim Y_n$ を備えている。これら行電極 $X_1 \sim X_n$ 及び行電極 $Y_1 \sim Y_n$ は、夫々対の行電極 $X_i (1 \leq i \leq n)$ 及び $Y_i (1 \leq i \leq n)$ にてPDP10における第1表示ライン～第 n 表示ラインを担っている。列電極 D と、行電極 X 及び Y との間には、放電ガスが封入されている放電空間が形成されており、この放電空間を含む各行電極対と列電極との交叉部に、画素を担う表示セルが形成される構造となっている。

【0004】この際、各表示セルは、放電現象を利用して発光を行うものである為、“発光”及び“非発光”の2つの状態しかもたない。つまり、最低輝度(非発光状態)と、最高輝度(発光状態)の2階調分の輝度しか表現出来ないものである。そこで、駆動装置100は、このようなPDP10に対して、入力された映像信号に対応した中間調の輝度表示を実現させるべく、サブフィールド法を用いた階調駆動を実施する。

【0005】サブフィールド法では、入力された映像信号を各表示セルに対応した例えば4ビットの表示データに変換し、この4ビットのビット桁各々に対応させて1フィールドを図2に示されるが如く4個のサブフィールドSF1～SF4に分割する。そして、各サブフィールド内において、以下に説明するが如き一斉リセット行程Rc、データ書込行程Wc、発光維持行程Ic及び消去行程Eを夫々実行する。

【0006】図3は、これら各行程内において、駆動装置100が上記PDP10に印加する各種駆動パルスと、その印加タイミングを示す図である。先ず、一斉リセット行程Rcにおいて駆動装置100は、正極性のリセットパルス RP_x を行電極 $X_1 \sim X_n$ 、負極性のリセットパルス RP_y を行電極 $Y_1 \sim Y_n$ に印加する。これらリセットパルス RP_x 及び RP_y の印加に応じて、PDP10の全ての表示セルがリセット放電され、各表示セル内

には一様に所定量の壁電荷が形成される。その直後に、駆動装置100は、消去パルスEPをPDP10の行電極 $X_1 \sim X_n$ に一斉に印加する。かかる消去パルスEPの印加により全ての表示セル内において消去放電が生起され、上記壁電荷が消滅する。これにより全表示セルは、後述する発光維持行程Icにおいて発光(維持放電)することができない状態(以下、“非発光セル”状態と称する)に初期化される。

【0007】次に、データ書込行程Wcにおいて駆動装置100は、4ビットの上記表示データの各ビットをサブフィールドSF1~SF4各々に対応させて分離し、そのビットの論理レベルに応じたパルス電圧を有するデータパルスを生成する。例えば、サブフィールドSF1のデータ書込行程Wcでは、駆動装置100は、上記表示データの第1ビットの論理レベルに応じたパルス電圧を有するデータパルスを生成する。この際、駆動装置100は、この第1ビット目の論理レベルが“1”である場合には高電圧、“0”である場合には低電圧(0ボルト)のデータパルスを生成する。そして、駆動装置100は、かかるデータパルスを、第1~第n表示ライン各々に対応した1表示ライン分毎のデータパルス群 $DP_1 \sim DP_n$ として、図3に示されるように順次、列電極 $D_1 \sim D_n$ に印加して行く。更に、駆動装置100は、各データパルス群DPの印加タイミングに同期して図3に示されるが如き負極性の走査パルスSPを発生し、これを行電極 $Y_1 \sim Y_n$ へと順次印加して行く。この際、走査パルスSPが印加された表示ラインと、高電圧のデータパルスが印加された“列”との交差部の表示セルのみに放電(選択書込放電)が生じる。かかる選択書込放電の終息後、その表示セル内には壁電荷が形成され、これが保持される。これにより、上記一斉リセット行程Rcにおいて“非発光セル”の状態に初期化された表示セルは、後述する発光維持行程Icにおいて発光(維持放電)することが可能な状態(以下、“発光セル”状態と称する)に推移する。一方、走査パルスSPが印加されながらも低電圧のデータパルスが印加された表示セルには上記選択書込放電は生起されず、上記一斉リセット行程Rcにて初期化された状態、つまり“非発光セル”の状態が保持される。

【0008】次に、発光維持行程Icにおいて駆動装置100は、図3に示す如く、正極性の維持パルス IP_X 及び正極性の維持パルス IP_Y を交互に繰返し行電極 $X_1 \sim X_n$ 及び行電極 $Y_1 \sim Y_n$ に夫々印加する。尚、1サブフィールド内においてこれら維持パルス IP_X 及び IP_Y を印加する回数(期間)は、図2に示す如く各サブフィールドの重み付けに応じて設定されている。ここで、壁電荷が存在している表示セル、すなわち“発光セル”状態にある表示セルのみが、上記維持パルス IP_X 及び IP_Y が印加される度に維持放電して、その放電に伴う発光状態を維持する。

【0009】次に、消去行程Eにおいて駆動装置100

は、図3に示す如き負極性の消去パルスEPを行電極 $Y_1 \sim Y_n$ 各々に一斉に印加する。これにより、全ての表示セル内で消去放電が生起され、各表示セル内に残留していた壁電荷は全て消滅する。これら一連の動作をサブフィールド(SF1~SF4)各々において実行することにより、各サブフィールドの発光維持行程Icで実施された発光回数の合計に応じた中間輝度が視覚される。例えば、上述の如くサブフィールドの数が4つの場合には、発光維持行程Icで発光を実施させるサブフィールドの組み合わせにより、入力映像信号として取り得る輝度範囲を16段階の中間輝度で表すことができるのである。この際、分割するサブフィールドの数を増やすほどその段階の数、いわゆる階調数が増加して、より高品質な表示画像が得られるようになる。

【0010】しかしながら、1フィールドの表示期間は規定されている為、分割するサブフィールドの数をむやみに増やすことは出来ない。又、図2及び図3に示す駆動では、図4に示す如く輝度“7”の表示輝度を得る場合と、輝度“8”の表示輝度を得る場合とで1フィールド期間内での発光パターンが反転している為、偽輪郭が視覚される場合がある。

【0011】すなわち、図4に示す如く輝度“8”の表示を為す表示セルがその1フィールド内において発光している期間中は、輝度“7”の表示を為す表示セルは非発光状態にある。一方、輝度“7”の表示を為す表示セルがその1フィールド内において発光している期間中は、輝度“8”の表示を為す表示セルは非発光状態にある。従って、輝度“8”の表示を為す表示セルが非発光状態から発光状態へと推移する直前に、輝度“7”の表示を為す表示セルに視線を移すと、両者の非発光状態のみを連続して見ることになり、その境界上に暗い線が視覚される。これが表示データとは何等関係のない偽の輪郭となって現れて表示品質を低下させるのである。

【0012】

【発明が解決しようとする課題】本発明は、上述した如き問題点を解決せんとして為されたものであり、表示品質を向上させることができるプラズマディスプレイパネルの駆動方法を提供することを目的とする。

【0013】

【課題を解決するための手段】本発明によるプラズマディスプレイパネルの駆動方法は、表示ラインを担う複数の行電極と前記行電極各々に交叉して配列された複数の列電極との各交叉部に画素を担う表示セルが形成されているプラズマディスプレイパネルを、入力映像信号の1フィールド表示期間を複数のサブフィールドに分割して階調駆動するプラズマディスプレイパネルの駆動方法であって、前記1フィールド表示期間の先頭のサブフィールドにおいてのみで、前記表示セルを発光セル状態に初期化せしめるリセット行程を実行し、前記サブフィールドの各々において、前記入力映像信号に応じて選択的に

前記表示セルの各々を前記発光セル状態から前記非発光セル状態に推移せしめるべき選択消去放電を生起させる走査パルスを前記行電極の各々に順次印加せしめるデータ書込行程と、前記発光セル状態にある表示セルのみを前記サブフィールドの重み付けに対応した回数だけ発光せしめるべき維持放電を生起させる維持パルス列を各行電極毎に前記走査パルスの直後に印加せしめる発光維持行程とを実行する。

【0014】又、本発明によるプラズマディスプレイパネルの駆動方法は、表示ラインを担う複数の行電極と前記行電極各々に交叉して配列された複数の列電極との各交叉部に画素を担う表示セルが形成されているプラズマディスプレイパネルを、入力映像信号の1フィールド表示期間を複数のサブフィールドに分割して階調駆動するプラズマディスプレイパネルの駆動方法であって、前記1フィールド表示期間の先頭のサブフィールドにおいてのみで、前記表示セルを非発光セル状態に初期化せしめるリセット行程を実行し、前記サブフィールドの各々において、前記入力映像信号に応じて選択的に前記表示セルの各々を前記非発光セル状態から前記発光セル状態に推移せしめるべき選択消去放電を生起させる走査パルスと、前記行電極の各々に順次印加せしめるデータ書込行程と、前記発光セル状態にある表示セルのみを前記サブフィールドの重み付けに対応した回数だけ発光せしめるべき維持放電を生起させる維持パルス列を各行電極毎に前記走査パルスの直後に印加せしめる発光維持行程とを実行する。

【0015】

【発明の実施の形態】以下、本発明の実施例を図を参照しつつ説明する。図5は、本発明による駆動方法に基づいてプラズマディスプレイパネルを階調駆動するプラズマディスプレイ装置の概略構成を示す図である。図5に示すように、かかるプラズマディスプレイ装置は、プラズマディスプレイパネルとしてのPDP10と、これを駆動する各種機能モジュールから構成されている。

【0016】PDP10は、放電ガスの封入された放電空間(図示せぬ)と、互いにこの放電空間を挟んで形成されている前面ガラス基板(図示せぬ)及び後面ガラス基板(図示せぬ)を備えている。前面ガラス基板は、PDP10としての表示画面を為すものであり、その裏面には、図5に示されるように、夫々対して1表示ラインを担う行電極 $X_1 \sim X_n$ 及び行電極 $Y_1 \sim Y_n$ が互いに平行に形成されている。一方、後面ガラス基板には、上記行電極 X 及び Y と交叉する方向に m 個の列電極 $D_1 \sim D_m$ が形成されている。そして、上記放電空間を含む各行電極対と列電極との交差部に、画素を担う表示セルが形成される構造となっている。

【0017】A/D変換器1は、入力されたアナログの映像信号をサンプリングしてこれを各表示セルに対応した例えば8ビットの表示データPDに変換し、これをデ

ータ変換回路30に供給する。データ変換回路30は、かかる8ビットの表示データPDを、14ビットのセル駆動データGDに変換し、これをメモリ4に供給する。

【0018】図6は、かかるデータ変換回路30の内部構成を示す図である。図6において、ABL(自動輝度制御)回路31は、PDP10の画面上に表示される画像の平均輝度が所定の輝度範囲内に収まるように、上記表示データPDに対して輝度レベルの調整を行う。そして、ABL回路31は、この輝度レベル調整によって得られた輝度調整表示データPD_{BL}を第1データ変換回路32に供給する。

【0019】図7は、かかるABL回路31の内部構成を示す図である。図7において、データ変換回路312は、レベル調整回路310から供給された輝度調整表示データPD_{BL}を図8に示されるが如き非線形特性からなる逆ガンマ特性($Y=X^{2.2}$)にて変換したものを逆ガンマ補正表示データPD_rとして平均輝度レベル検出回路311に供給する。すなわち、データ変換回路312は、上記輝度調整表示データPD_{BL}から、ガンマ補正の解除された元の映像信号に対応した表示データを復元し、これを逆ガンマ補正表示データPD_rとして出力するのである。平均輝度検出回路311は、先ず、この逆ガンマ補正表示データPD_rの平均輝度を求め、この平均輝度に応じた輝度(画面全体の輝度)にて画像表示を行わせるべき輝度モードを、図9に示す輝度モード1~4の中から選択する。そして、平均輝度検出回路311は、この選択した輝度モードを示す輝度モード信号LCを駆動制御回路2に供給する。更に、平均輝度検出回路311は、上述した如く求めた平均輝度を示す平均輝度情報を上記レベル調整回路310に供給する。レベル調整回路310は、この平均輝度情報に応じて表示データPDの輝度レベルを調整することにより上記輝度調整表示データPD_{BL}を得て、これを上記データ変換回路312に供給する。更に、レベル調整回路310は、この輝度調整表示データPD_{BL}を、図6に示す如く、次段の第1データ変換回路32に供給する。

【0020】第1データ変換回路32は、図10に示す如き変換特性に従って8ビットで256階調分の輝度を表現し得る上記輝度調整表示データPD_{BL}を(224/255)に輝度抑制し、これを輝度抑制表示データPD_pとして多階調化処理回路33に供給する。具体的には、第1データ変換回路32は、輝度調整表示データPD_{BL}を、上記変換特性に基づく図11及び図12に示す如き変換テーブルに従って輝度抑制表示データPD_pに変換する。これにより、多階調化処理回路33での多階調化処理による輝度飽和の発生及び表示階調がビット境界にない場合に生じる表示特性の平坦部の発生(すなわち、階調歪みの発生)を防止する。

【0021】図13は、多階調化処理回路33の内部構成を示す図である。図13に示されるが如く、多階調化

処理回路33は、誤差拡散処理回路330及びディザ処理回路350から構成される。誤差拡散処理回路330におけるデータ分離回路331は、上記第1データ変換回路32から供給された8ビットの輝度抑制表示データ PDP の下位2ビット分を誤差データ、上位6ビット分を主表示データとして分離する。そして、データ分離回路331は、この主表示データを加算器333に供給すると共に、上記誤差データを加算器332に供給する。加算器332は、かかる誤差データと、遅延回路334からの遅延出力と、係数乗算器335の乗算出力とを加算して得た加算値を遅延回路336に供給する。遅延回路336は、加算器332から供給された加算値を、上記表示データ PDP のサンプリング周期と同一の時間を有する遅延時間 D だけ遅らせ、これを遅延加算信号 AD_1 として上記係数乗算器335及び遅延回路337に夫々供給する。係数乗算器335は、上記遅延加算信号 AD_1 に所定係数値 K_1 （例えば、“7/16”）を乗算して得られた乗算結果を上記加算器332に供給する。遅延回路337は、上記遅延加算信号 AD_1 を更に（1水平走査期間－上記遅延時間 $D \times 4$ ）なる時間だけ遅延させたものを遅延加算信号 AD_2 として遅延回路338に供給する。遅延回路338は、かかる遅延加算信号 AD_2 を更に上記遅延時間 D だけ遅延させたものを遅延加算信号 AD_3 として係数乗算器339に供給する。又、遅延回路338は、かかる遅延加算信号 AD_2 を更に上記遅延時間 $D \times 2$ なる時間分だけ遅延させたものを遅延加算信号 AD_4 として係数乗算器340に供給する。更に、遅延回路338は、かかる遅延加算信号 AD_2 を上記遅延時間 $D \times 3$ なる時間分だけ遅延させたものを遅延加算信号 AD_5 として係数乗算器341に供給する。係数乗算器339は、上記遅延加算信号 AD_3 に所定係数値 K_2 （例えば、“3/16”）を乗算して得られた乗算結果を加算器342に供給する。係数乗算器340は、上記遅延加算信号 AD_4 に所定係数値 K_3 （例えば、“5/16”）を乗算して得られた乗算結果を加算器342に供給する。係数乗算器341は、上記遅延加算信号 AD_5 に所定係数値 K_4 （例えば、“1/16”）を乗算して得られた乗算結果を加算器342に供給する。加算器342は、上記係数乗算器339、340及び341各々から供給された乗算結果を加算して得られた加算信号を上記遅延回路334に供給する。遅延回路334は、かかる加算信号を上記遅延時間 D なる時間分だけ遅延させて上記加算器332に供給する。加算器332は、上記誤差データ（輝度抑制表示データ PDP の下位2ビット分）と、遅延回路334からの遅延出力と、係数乗算器335の乗算出力とを加算する。そして、加算器332は、この加算の結果、桁上げがない場合には論理レベル“0”、桁上げがある場合には論理レベル“1”のキャリアウト信号 C_0 を発生して加算器333に供給する。加算器333は、上記主表示データ（輝度抑制表示データ PDP の上位6ビット分）に、上記キャリア

ウト信号 C_0 を加算したものを6ビットの誤差拡散処理表示データ ED として出力する。

【0022】以下に、かかる構成からなる誤差拡散処理回路330の動作について説明する。例えば、図14に示す如き $PDP10$ の画素 $G(j, k)$ に対応した誤差拡散処理表示データ ED を求める場合、先ず、かかる画素 $G(j, k)$ の左隣の画素 $G(j, k-1)$ 、左斜め上の画素 $G(j-1, k-1)$ 、真上の画素 $G(j-1, k)$ 、及び右斜め上の画素 $G(j-1, k+1)$ 各々に対応した各誤差データ、すなわち、画素 $G(j, k-1)$ に対応した誤差データ：遅延加算信号 AD_1

画素 $G(j-1, k+1)$ に対応した誤差データ：遅延加算信号 AD_3

画素 $G(j-1, k)$ に対応した誤差データ：遅延加算信号 AD_4

画素 $G(j-1, k-1)$ に対応した誤差データ：遅延加算信号 AD_5

各々を、上述した如き所定の係数値 $K_1 \sim K_4$ をもって重み付け加算する。次に、この加算結果に、輝度抑制表示データ PDP の下位2ビット分、すなわち画素 $G(j, k)$ に対応した誤差データを加算し、この際得られた1ビット分のキャリアウト信号 C_0 を輝度抑制表示データ PDP 中の上位6ビット分、すなわち画素 $G(j, k)$ に対応した表示データに加算したものを誤差拡散処理表示データ ED とする。

【0023】つまり、誤差拡散処理回路330では、周辺画素 $\{G(j, k-1), G(j-1, k+1), G(j-1, k), G(j-1, k-1)\}$ 各々での誤差データ（輝度抑制表示データ PDP の下位2ビット分）を重み付け加算したものを、上記画素 $G(j, k)$ での表示データ（輝度抑制表示データ PDP の上位6ビット分）に反映させるのである。この動作により、原画素 $\{G(j, k)\}$ における下位2ビット分の輝度が上記周辺画素により擬似的に表現され、それ故に8ビットよりも少ないビット数、すなわち6ビット分の表示データにて、上記8ビット分の表示データと同等の輝度階調表現が可能になる。

【0024】尚、この誤差拡散の係数値が各画素に対して一定に加算されていると、誤差拡散パターンによるノイズが視覚的に確認される場合があり画質を損なってしまう。そこで、後述するディザ係数の場合と同様に4つの画素各々に割り当てるべき誤差拡散の係数 $K_1 \sim K_4$ を1フィールド毎に変更するようにしても良い。ディザ処理回路350は、上記誤差拡散処理回路330から供給された誤差拡散処理表示データ ED にディザ処理を施すことにより、6ビットの誤差拡散処理表示データ ED と同等な輝度階調レベルを維持しつつもビット数を更に4ビットに減らした多階調化表示データ PDS を生成する。尚、かかるディザ処理では、隣接する複数個の画素により1つの中間表示レベルを表現するものである。例えば、8ビットの表示データの内の上位6ビットの表示

データを用いて8ビット相当の階調表示を行う場合、左右、上下に互いに隣接する4つの画素を1組とし、この1組の各画素に対応した表示データ各々に、互いに異なる係数値からなる4つのディザ係数 $a \sim d$ を夫々割り当てて加算する。かかるディザ処理によれば、4画素で4つの異なる中間表示レベルの組み合わせが発生することになる。よって、例えば表示データのビット数が6ビットであっても、表現出来る輝度階調レベルは4倍、すなわち、8ビット相当の中間調表示が可能となるのである。

【0025】しかしながら、ディザ係数 $a \sim d$ なるディザパターンが各画素に対して一定に加算されていると、このディザパターンによるノイズが視覚的に確認される場合があり画質を損なってしまう。そこで、ディザ処理回路350においては、4つの画素各々に割り当ててべき上記ディザ係数 $a \sim d$ を1フィールド毎に変更するようにしている。

【0026】図15は、かかるディザ処理回路350の内部構成を示す図である。図15において、ディザ係数発生回路352は、互いに隣接する4つの画素毎に4つのディザ係数 a 、 b 、 c 、 d を発生してこれらを順次加算器351に供給する。例えば、図16に示すように、第 j 行に対応した画素 $G(j, k)$ 及び画素 $G(j, k+1)$ 、第 $(j+1)$ 行に対応した画素 $G(j+1, k)$ 及び画素 $G(j+1, k+1)$ なる4つの画素各々に対応した4つのディザ係数 a 、 b 、 c 、 d を発生する。この際、ディザ係数発生回路352は、これら4つの画素各々に割り当ててべき上記ディザ係数 $a \sim d$ を図16に示す如く1フィールド毎に変更して行く。

【0027】すなわち、最初の第1フィールドにおいては、

画素 $G(j, k)$: ディザ係数 a

画素 $G(j, k+1)$: ディザ係数 b

画素 $G(j+1, k)$: ディザ係数 c

画素 $G(j+1, k+1)$: ディザ係数 d

次の第2フィールドにおいては、

画素 $G(j, k)$: ディザ係数 b

画素 $G(j, k+1)$: ディザ係数 a

画素 $G(j+1, k)$: ディザ係数 d

画素 $G(j+1, k+1)$: ディザ係数 c

次の第3フィールドにおいては、

画素 $G(j, k)$: ディザ係数 d

画素 $G(j, k+1)$: ディザ係数 c

画素 $G(j+1, k)$: ディザ係数 b

画素 $G(j+1, k+1)$: ディザ係数 a

そして、第4フィールドにおいては、

画素 $G(j, k)$: ディザ係数 c

画素 $G(j, k+1)$: ディザ係数 d

画素 $G(j+1, k)$: ディザ係数 a

画素 $G(j+1, k+1)$: ディザ係数 b

の如き割り当てにてディザ係数 $a \sim d$ を循環して繰り返

し発生し、これを加算器351に供給する。ディザ係数発生回路352は、上述した如き第1フィールド～第4フィールドの動作を繰り返し実行する。すなわち、かかる第4フィールドでのディザ係数発生動作が終了したら、再び、上記第1フィールドの動作に戻って、前述した動作を繰り返すのである。

【0028】加算器351は、上記誤差拡散処理回路330から供給されてくる上記画素 $G(j, k)$ 、画素 $G(j, k+1)$ 、画素 $G(j+1, k)$ 、及び画素 $G(j+1, k+1)$ 各々に対応した誤差拡散処理表示データ ED 各々に、上述の如く各フィールド毎に割り当てられたディザ係数 $a \sim d$ を夫々加算し、この際得られたディザ加算表示データを上位ビット抽出回路353に供給する。

【0029】例えば、図16の第1フィールドでは、画素 $G(j, k)$ に対応した誤差拡散処理表示データ ED ＋ディザ係数 a 、画素 $G(j, k+1)$ に対応した誤差拡散処理表示データ ED ＋ディザ係数 b 、画素 $G(j+1, k)$ に対応した誤差拡散処理表示データ ED ＋ディザ係数 c 、画素 $G(j+1, k+1)$ に対応した誤差拡散処理表示データ ED ＋ディザ係数 d の各々をディザ加算表示データとして上位ビット抽出回路353に順次供給して行くのである。

【0030】上位ビット抽出回路353は、かかるディザ加算表示データの上位4ビット分までを抽出し、これを多階調化表示データ PD_s として、図6に示す如き第2データ変換回路34に供給する。第2データ変換回路34は、かかる多階調化表示データ PD_s を図17に示す如き変換テーブルに従って、サブフィールドSF1～SF14各々に対応した第1～第14ビットからなるセル駆動データ GD に変換する。尚、セル駆動データ GD における第1～第14ビット各々は、後述するサブフィールドSF1～SF14各々に対応している。そして、第2データ変換回路34は、このセル駆動データ GD を図5に示す如くメモリ4に供給する。

【0031】メモリ4は、駆動制御回路2から供給された書込信号に従って上記セル駆動データ GD を順次書き込む。そして、1画面分、つまり第1行・第1列に対応したセル駆動データ GD_{11} から、第 n 行・第 m 列に対応したセル駆動データ GD_{nm} までの $(n \times m)$ 個分の書き込みが終了する度に、メモリ4は、以下の如き読み出し動作を行う。

【0032】先ず、メモリ4は、セル駆動データ $GD_{11} \sim GD_{nm}$ 各々の第1ビット目をセル駆動データビット $DB_{11} \sim DB_{1m}$ と捉え、これらを1表示ライン分ずつ読み出してアドレスドライバ6に供給する。次に、メモリ4は、セル駆動データ $GD_{11} \sim GD_{nm}$ 各々の第2ビット目をセル駆動データビット $DB_{21} \sim DB_{2m}$ と捉え、これらを1表示ライン分ずつ読み出してアドレスドライバ6に供給する。次に、メモリ4は、セル駆動データ $GD_{11} \sim GD_{nm}$ 各々の第3ビット目をセル駆動データビット $DB_{31} \sim DB_{3m}$ と捉え、これらを1表示ライ

ン分ずつ読み出してアドレスドライバ6に供給する。以下、同様にメモリ4は、セル駆動データ $GD_{11} \sim GD_m$ 各々の第4、第5、

・・・、第14ビットを夫々セル駆動データビット $DB_{411} \sim DB_{4m}$ 、 $DB_{511} \sim DB_{5m}$ 、

・・・、 $DB_{1411} \sim DB_{14m}$ と捉え、夫々1表示ライン分ずつ読み出してアドレスドライバ6に供給して行く。

【0033】尚、メモリ4は、上記セル駆動データビット $DB_1 \sim DB_{14}$ 各々の読み出し動作を、後述するサブフィールド $SF_1 \sim SF_{14}$ 各々に対応させて実行する。つまり、メモリ4は、サブフィールド SF_1 ではセル駆動データビット $DB_{111} \sim DB_{1m}$ 、 SF_2 ではセル駆動データビット $DB_{211} \sim DB_{2m}$ 、 SF_3 ではセル駆動データビット $DB_{311} \sim DB_{3m}$ に対する読み出しを行うのである。

【0034】駆動制御回路2は、図18に示されるが如き発光駆動フォーマットに従って PDP_{10} を階調駆動すべき各種タイミング信号を発生してアドレスドライバ6、第1サステインドライバ7及び第2サステインドライバ8各々に供給する。尚、図18に示す発光駆動フォーマットでは、1フィールド(フレーム)の表示期間を14個のサブフィールド $SF_1 \sim SF_{14}$ に分割する。そして、各サブフィールド内において、データ書込行程 W_c 及び発光維持行程 I_c を夫々実行する。更に、先頭のサブフィールド SF_1 においてのみで一斉リセット行程 R_c を実行し、最後尾のサブフィールド SF_{14} においてのみで消去行程 E を実行する。

【0035】図19は、駆動制御回路2から供給された各種タイミング信号に応じて、アドレスドライバ6、第1サステインドライバ7及び第2サステインドライバ8各々が PDP_{10} に印加する各種駆動パルスと、その印加タイミングを示す図である。尚、図19では、図18に示されるサブフィールド SF_1 、 SF_2 及びその前後での動作のみを抜粋して示している。

【0036】第1サステインドライバ7は、全ての期間を通して、図19に示す如き正極性の電圧 V_{sus} を有する維持パルス IP_x を所定期間毎に繰返し発生し、行電極 $X_1 \sim$ 行電極 X_n に印加する。ここで、サブフィールド SF_1 の先頭部においてのみで、第2サステインドライバ8は、上記維持パルス IP_x と同一タイミングで負極性の電圧 $-V_{ret}$ を有するリセットパルス RP_y を発生し、これを図19に示す如く行電極 $Y_1 \sim$ 行電極 Y_n へと順次印加して行く(リセット行程 RJ)。

【0037】上記リセット行程 RJ によれば、上記リセットパルス RP_y が印加された表示ライン上の各表示セル内でリセット放電が生起され、その放電終息後、各表示セル内には壁電荷が形成される。すなわち、各表示セルは1表示ライン分ずつ順次リセット放電され、後述する発光維持行程 I_c において発光(維持放電)することが可能な状態(以下、“発光セル”状態と称する)に初期化さ

れて行くのである。

【0038】次に、第2サステインドライバ8は、上記リセットパルス RP_y 各々の印加直後に図19に示す如き負極性の電圧 $-V_{ofs}$ を有する走査パルス SP を発生し、これを行電極 $Y_1 \sim$ 行電極 Y_n へと順次印加して行く。尚、サブフィールド SF_2 以降のサブフィールドでは、第2サステインドライバ8は、各表示ライン毎に、そのサブフィールドの直前のサブフィールド内での最終の維持パルス IP_y (後述する)が印加されたら、直ちにその表示ラインを担う行電極 Y に上記走査パルス SP を印加する。この間、アドレスドライバ6は、上記メモリ4から供給されたセル駆動データビット DB の論理レベルが“1”である場合には高電圧、“0”である場合には低電圧(0ボルト)のデータパルスを生成する。そして、かかるデータパルスを1表示ライン分ずつ順次、上記走査パルス SP と同一タイミングで列電極 $D_1 \sim D_n$ に印加して行く(データ書込行程 W_c)。

【0039】例えば、サブフィールド SF_1 では、メモリ4からはセル駆動データビット $DB_{111} \sim DB_{1m}$ が供給される。よって、サブフィールド SF_1 のデータ書込行程 W_c では、アドレスドライバは、セル駆動データビット $DB_{111} \sim DB_{1m}$ に対応したデータパルス群 $DP_{11} \sim DP_{1n}$ 各々を、図19に示す如く各走査パルス SP のタイミングで順次、列電極 $D_1 \sim D_n$ に印加して行く。又、サブフィールド SF_2 では、メモリ4からは前述した如くセル駆動データビット $DB_{211} \sim DB_{2m}$ が供給される。よって、サブフィールド SF_2 のデータ書込行程 W_c では、アドレスドライバは、セル駆動データビット $DB_{211} \sim DB_{2m}$ に対応したデータパルス群 $DP_{21} \sim DP_{2n}$ 各々を、図19に示す如く各走査パルス SP のタイミングで順次、列電極 $D_1 \sim D_n$ に印加して行く。又、サブフィールド SF_3 では、メモリ4からは、前述した如くセル駆動データビット $DB_{311} \sim DB_{3m}$ が供給される。よって、サブフィールド SF_3 のデータ書込行程 W_c では、アドレスドライバは、セル駆動データビット $DB_{311} \sim DB_{3m}$ に対応したデータパルス群 $DP_{31} \sim DP_{3n}$ 各々を、図19に示す如く各走査パルス SP のタイミングで順次、列電極 $D_1 \sim D_n$ に印加して行く。

【0040】上記データ書込行程 W_c によれば、上記走査パルス SP が印加された表示ラインと、高電圧のデータパルスが印加された“列”との交差部の表示セルにのみ放電(選択消去放電)が生じ、その表示セル内に保持されていた壁電荷が消滅する。すなわち、かかる選択消去放電の生起された表示セルは、後述する発光維持行程 I_c において発光(維持放電)することができない状態(以下、“非発光セル”状態と称する)に推移するのである。一方、上記走査パルス SP が印加されたものの低電圧のデータパルスが印加された表示セルには上述のような選択消去放電は生起されない。よって、この際、走査パル

SPが印加される直前まで“発光セル”状態にあった表示セルは“発光セル”状態、一方、“非発光セル”状態にあった表示セルは“非発光セル”状態をそのまま維持するのである。すなわち、各表示セルは、表示データに応じて1表示ライン分ずつ順次、選択的に消去放電され、“発光セル”状態又は“非発光セル”状態に設定されるのである。

【0041】次に、第2サスティンドライバ8は、各表示ライン毎に、上記走査パルスSPの直後に、図19に示す如き正極性の電圧 V_{SUB} を有する維持パルス IP_Y を繰返し発生して行電極Yに印加する(発光維持行程Ic)。尚、維持パルス IP_Y の印加回数は、各サブフィールドSF1~SF14の重み付けに応じた回数となっており、上記平均輝度検出回路311から供給された輝度モード信号LCによって決定する。例えば、図9に示す如く輝度モード信号LCがモード1を示す場合には、サブフィールドSF1~SF14各々の発光維持行程Icでは、

SF1: 1
SF2: 3
SF3: 5
SF4: 8
SF5: 10
SF6: 13
SF7: 16
SF8: 19
SF9: 22
SF10: 25
SF11: 28
SF12: 32
SF13: 35
SF14: 39

なる回数だけ維持パルス IP_Y が印加される。

【0042】又、図9に示すように、輝度モード信号LCがモード4を示す場合には、サブフィールドSF1~SF14各々の発光維持行程Icでは、

SF1: 4
SF2: 12
SF3: 20
SF4: 32
SF5: 40
SF6: 52
SF7: 64
SF8: 76
SF9: 88
SF10: 100
SF11: 112
SF12: 128
SF13: 140
SF14: 156

なる回数だけ維持パルス IP_Y が印加される。

【0043】この際、維持パルス IP_Y と、維持パルス IP_X とは、その印加タイミングが互いに重ならないように交互に印加される。上記発光維持行程Icによれば、壁電荷が残留したままとなっている表示セル、すなわち“発光セル”状態にある表示セルのみが、上記維持パルス IP_X 及び IP_Y が印加される度に維持放電し、上記回数(期間)分だけその維持放電に伴う発光状態を維持する。

【0044】そして、最後尾のサブフィールドSF14では、上述した如き回数分の維持パルス IP_Y の印加が終了した順に、図19に示す如き負極性の電圧を有する消去パルスEPを行電極 $Y_1 \sim Y_n$ へと順次印加して行く(消去行程E)。かかる消去パルスEPの印加により、各表示セルは、1表示ライン分ずつ消去放電され、各表示セル内に残留していた壁電荷は全て消滅する。

【0045】以上の如く、図5に示されるプラズマディスプレイ装置では、先頭のサブフィールドSF1のみで全表示セルを“発光セル”状態に初期化せしめる為のリセット行程RJを実行する。そして、サブフィールドSF1~SF14各々内において、表示データに応じて選択的に各表示セルを“非発光セル”状態に推移させるデータ書込行程Wcと、“発光セル”状態にある表示セルのみを繰返し発光させる発光維持行程Icとを夫々実行するようにしている。

【0046】かかる駆動によれば、各サブフィールド毎のデータ書込行程Wcにおいて“発光セル”の状態を維持した表示セルのみが、そのサブフィールドに割り当てられた回数分だけ維持放電に伴う発光を繰返す。この際、サブフィールドSF1~SF14各々のデータ書込行程Wcにおいて表示セルが“非発光セル”に推移するか否かは、図17に示されるセル駆動データGDの第1~第14ビット各々の論理レベルによって決まる。

【0047】すなわち、セル駆動データGDのデータビットが論理レベル“1”である場合には、そのビット桁に対応したサブフィールドSF(図17中に黒丸にて示す)のデータ書込行程Wcにおいて選択消去放電が生じられ、この表示セルは“非発光セル”状態に推移する。尚、表示セル内に壁電荷を形成させこの表示セルを“発光セル”状態に推移させるべき放電は、先頭のサブフィールドSF1のリセット行程RJのみでしか実施されない。よって、前述した如き選択消去放電によって一旦、“非発光セル”状態に推移してしまった表示セルは、再び上記リセット行程RJが実施されるまでの間、“非発光セル”状態を維持することになる。

【0048】一方、セル駆動データGDのデータビットが論理レベル“0”である場合には、そのビット桁に対応したサブフィールドSFのデータ書込行程Wcでは上記選択消去放電は生じされない。よって、この表示セルは上記リセット行程RJによって初期化された状態、すな

わち“発光セル”状態を維持する。従って、1フィールド期間内において上記選択消去放電が生起されるまでの間に存在するサブフィールドSF(図17中に白丸にて示す)各々の発光維持行程Icにおいて、維持放電に伴う発光が継続して実施される。

【0049】そして、サブフィールドSF1~SF14各々の発光維持行程Icにおいて実施された発光回数の総和により、各種の中間輝度が段階的に表現される。この際、図17に示されるが如き14ビットで15パターンのビットパターンを有するセル駆動データGDを用いた駆動によれば、夫々の発光輝度比が、

、1

、4

、9,17,2

7,40,56,75,97,122,150,182,217,255}なる15種類の中間輝度、すなわち15階調分を表現することが可能となる。

【0050】尚、上記表示データPDは、そもそも8ビットで256階調分を表現し得るものである。そこで、上述した如き16階調分の駆動によっても256階調に近い中間調の輝度表示を実現させるべく、上記多階調化処理回路33により、誤差拡散及びディザ処理の如き多階調化処理を行っているのである。ところで、図17に示す如きセル駆動データGDを用いた駆動では、1フィールド表示期間内において、表示セルが“発光セル”状態を継続する発光継続状態(図17中において白丸にて示す)と、“非発光セル”状態を継続する非発光継続状態とが存在する。そして、1フィールド表示期間内において、表示セルが上記発光継続状態から非発光継続状態へ推移する回数は1回以下であり、かつ一旦、非発光継続状態に推移した表示セルが発光状態に復帰することはない。つまり、1フィールド期間内において上記発光継続状態と、非発光継続状態とが互いに反転する発光パターンは存在しない。

【0051】従って、1表示画面内において、視線をある領域から他の領域に移動させた際に、両領域での発光継続状態(又は非発光継続状態)のみを連続して見ることはない。偽輪郭の発生が抑制される。更に、本発明においては、図18及び図19に示す如く、1表示ライン分の表示セルに対するデータ書込が終了したら、直ちに、その表示ラインに属する表示セルに対して発光維持を司る維持放電を開始させる。すなわち、各表示ライン毎にデータの書込を為す走査パルスSPを行電極に印加し終えたら、この走査パルスSPに連なって直ちにこの行電極に対して、維持放電を生起させるべき維持パルスIPの印加を開始するのである。つまり、表示ライン単位にて、データ書込の終了次第、直ちに発光維持を実施させるようにしたのである。

【0052】よって、第1~第n表示ラインに属する全表示セルに対する表示データ書込が終了してから、全表示セルに対して一斉に発光維持を行うようにした従来の駆動に比して、上述した如き一連の行程に費やされる時間を短縮できる。従って、この時間短縮分を利用してサ

ブフィールドの数を増やせば高階調化が為され、又、各発光維持行程内において実施する発光回数を増やせば高輝度化が図れるようになる。

【0053】尚、上記実施例においては、表示データの書込方法として、予め各表示セルに壁電荷を形成させておき、表示データに応じて選択的にその壁電荷を消去することにより表示データの書込を為す、いわゆる選択消去アドレス法を採用した場合について述べた。しかしながら、本発明は、表示データの書込方法として、表示データに応じて各表示セルに選択的に壁電荷を形成させるようにした、いわゆる選択書込アドレス法を採用した場合についても同様に適用可能である。

【0054】図20は、かかる選択書込アドレス法を採用した場合に駆動制御回路2において用いられる発光駆動フォーマットを示す図である。又、図21は、この選択書込アドレス法を採用した場合に第2データ変換回路34で用いられるデータ変換テーブルと、このデータ変換テーブルによって得られたセル駆動データGDに基づく発光駆動パターンとを示す図である。

【0055】先ず、選択書込アドレス法を採用した場合のリセット行程RJでは、リセット放電及び消去放電を連続して生起させることにより、全表示セル内の壁電荷を消滅させて、“非発光セル”状態に初期化する。そして、選択書込アドレス法を採用した場合のデータ書込行程Wcでは、上記走査パルスSPと、高電圧のデータパルスとが同時に印加された表示セルのみに放電(選択書込放電)を生起させる。この際、全表示セルの内、上記選択書込放電の生起された表示セルのみに壁電荷が形成され、この表示セルは“発光セル”状態に推移する。尚、選択書込アドレス法を採用した場合の発光維持行程Ic内での動作は、選択消去アドレス法を採用した場合と同様なので、その説明は省略する。

【0056】従って、選択書込アドレス法を採用した場合には、図21の黒丸にて示されるサブフィールドのデータ書込行程Wcにて選択書込放電の生起された表示セルが、“発光セル”状態に推移する。そして、かかる表示セルは、この黒丸で示されるサブフィールドと、それ以降に存在するサブフィールドの各々(白丸にて示す)で継続して維持放電し、その放電に伴う発光を行うことになる。つまり、選択消去アドレス法を採用した場合と同様に、1フィールド期間内において発光継続状態と、非発光継続状態とが互いに反転する発光パターンは存在しないので、偽輪郭が発生することはない。

【0057】

【発明の効果】以上詳述した如く、本発明の駆動方法によれば、1フィールド表示期間内において表示セルが発光継続状態から非発光継続状態、あるいは非発光継続状態から発光継続状態へ推移する回数は1回以下である。更に、一旦、非発光継続状態(発光継続状態)に推移した表示セルが発光状態(非発光状態)に復帰することはない。

い。従って、表示画面内のある領域から他の領域に視線を移動させた際に、両領域の発光継続状態(又は非発光継続状態)のみを連続して見ることはないので、偽輪郭の発生が抑制される。

【0058】又、かかる駆動によれば、表示画像には関与しない発光を伴うリセット放電を、1フィールド表示期間内において1回だけ実施すれば良いので、表示画像のコントラストが向上する。更に、本発明においては、1表示ライン分毎に、各表示セルに対するデータ書込が終了したら、直ちにこの表示ラインに属する表示セルに対して発光維持を実施させるようにしている。よって、全ての表示セルに対するデータ書込が終了するのを待ってから、全表示セルに対して一斉に発光維持を行うようにした従来の駆動に比して、各行程に費やされる時間を短縮することができる。従って、この時間短縮分を利用してサブフィールドの数を増やせば高階調化が為され、又、各発光維持行程で実施すべき発光回数を増やせば高輝度化が為されるようになる。

【図面の簡単な説明】

【図1】プラズマディスプレイ装置の概略構成を示す図である。

【図2】サブフィールド法に基づく発光駆動フォーマットの一例を示す図である。

【図3】PDP10に印加される各種駆動パルスと、その印加タイミングを示す図である。

【図4】偽輪郭が生じる発光パターンの組み合わせ例を示す図である。

【図5】本発明による駆動方法に従ってプラズマディスプレイパネルを駆動するプラズマディスプレイ装置の構成を示す図である。

【図6】データ変換回路30の内部構成を示す図である。

【図7】ABL回路31の内部構成を示す図である。

【図8】データ変換回路312の変換特性を示す図である。

【図9】輝度モードと、サブフィールドSF1~SF4各々の発光維持行程Icでの維持パルスIPの印加回

数との対応関係を示す図である。

【図10】第1データ変換回路32のデータ変換特性を示す図である。

【図11】図10に示されるデータ変換特性に基づくデータ変換テーブルを示す図である。

【図12】図10に示されるデータ変換特性に基づくデータ変換テーブルを示す図である。

【図13】多階調化処理回路33の内部構成を示す図である。

【図14】誤差拡散処理回路330の動作を説明する為の図である。

【図15】ディザ処理回路350の内部構成を示す図である。

【図16】ディザ処理回路350の動作を説明する為の図である。

【図17】選択消去アドレス法を採用した場合に第2データ変換回路34で用いられる変換テーブルと、この変換テーブルによって得られたセル駆動データGDによる発光駆動パターンとを示す図である。

【図18】選択消去アドレス法を採用した場合に用いられる発光駆動フォーマットを示す図である。

【図19】図18に示される発光駆動フォーマットに従ってPDP10に印加される各種駆動パルスと、その印加タイミングを示す図である。

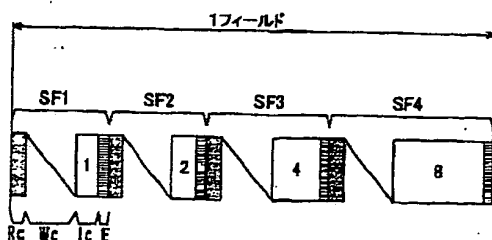
【図20】選択書込アドレス法を採用した場合に用いられる発光駆動フォーマットを示す図である。

【図21】選択書込アドレス法を採用した場合に第2データ変換回路34で用いられる変換テーブルと、この変換テーブルによって得られたセル駆動データGDによる発光駆動パターンとを示す図である。

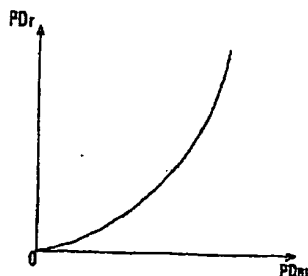
【主要部分の符号の説明】

- 2 駆動制御回路
- 6 アドレスドライバ
- 7 第1サステンドライバ
- 8 第2サステンドライバ
- 10 PDP

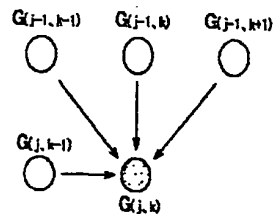
【図2】



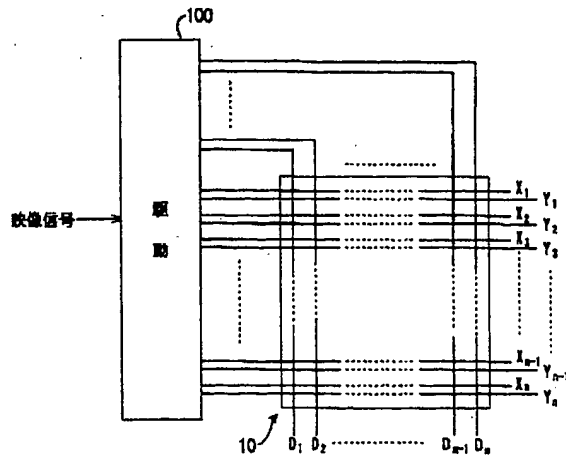
【図8】



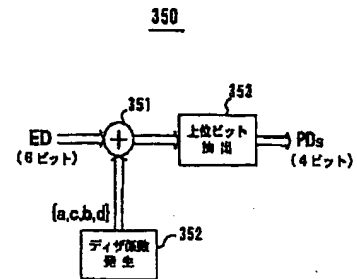
【図14】



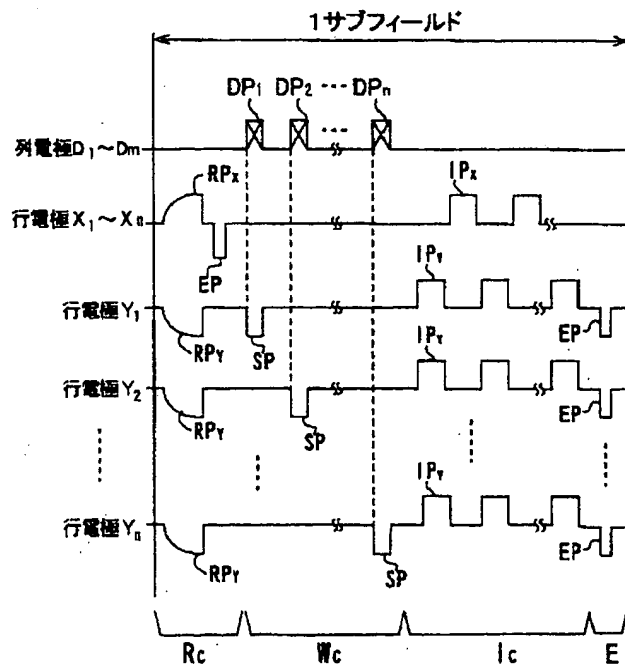
【図1】



【図15】



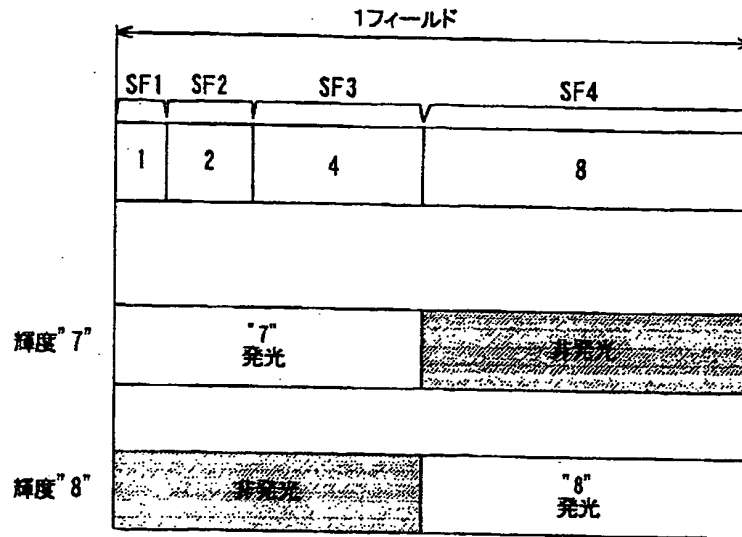
【図3】



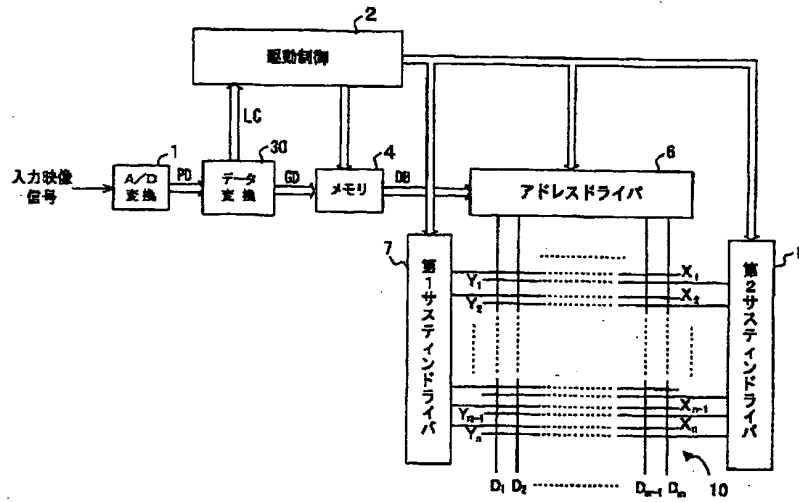
【図9】

LC	SF1	SF2	SF3	SF4	SF5	SF6	SF7	SF8	SF9	SF10	SF11	SF12	SF13	SF14
モード1	1	3	5	8	10	13	16	19	22	25	28	32	35	39
モード2	2	6	10	16	20	26	32	38	44	50	56	64	70	78
モード3	3	9	15	24	30	39	48	57	66	75	84	96	105	117
モード4	4	12	20	32	40	52	64	76	88	100	112	128	140	156

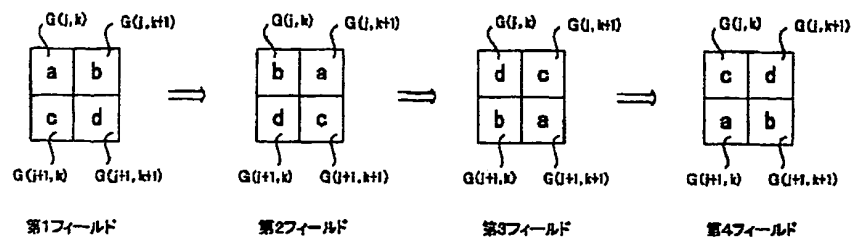
【図4】



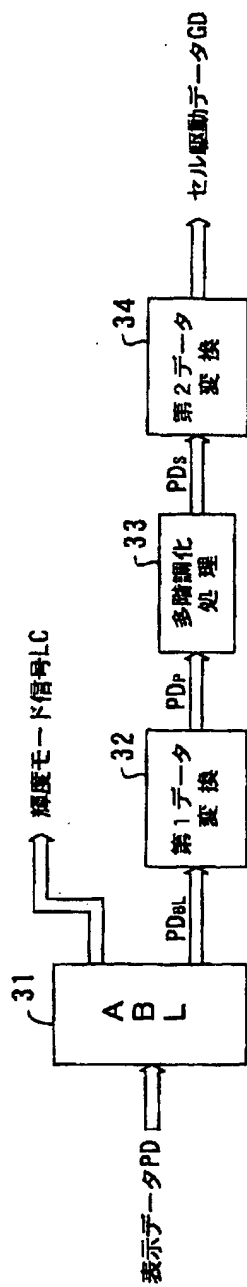
【図5】



【図16】

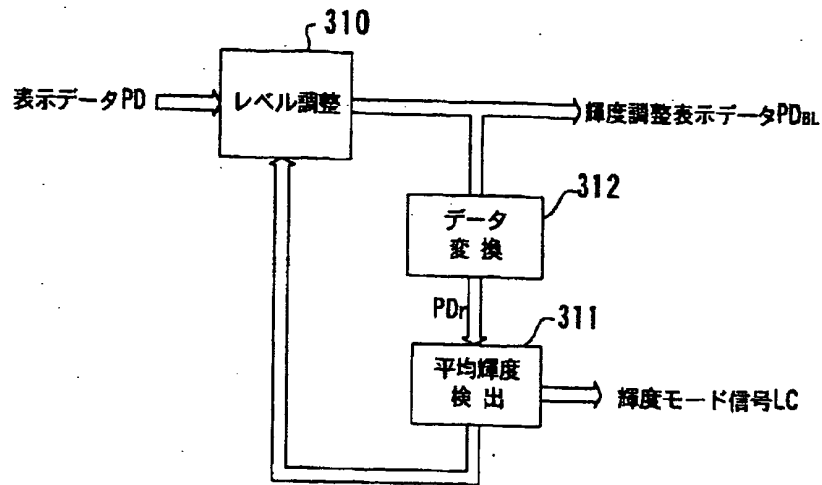


【図6】

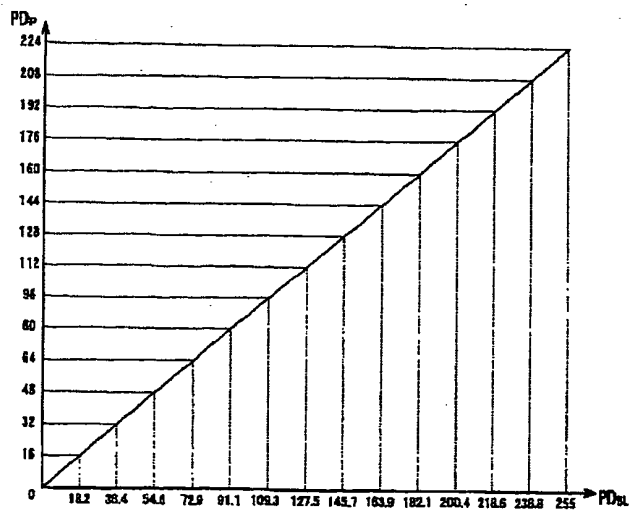


【図7】

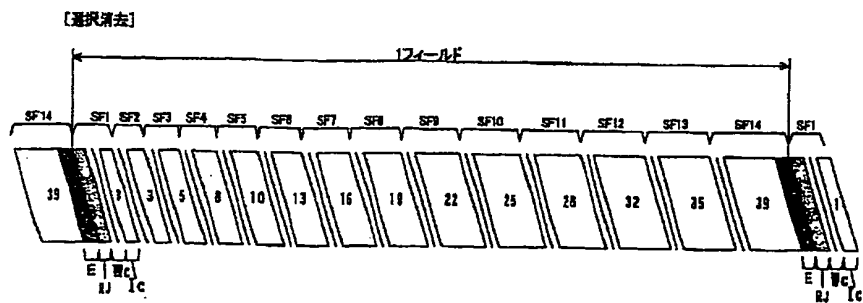
31



【図10】



【図18】



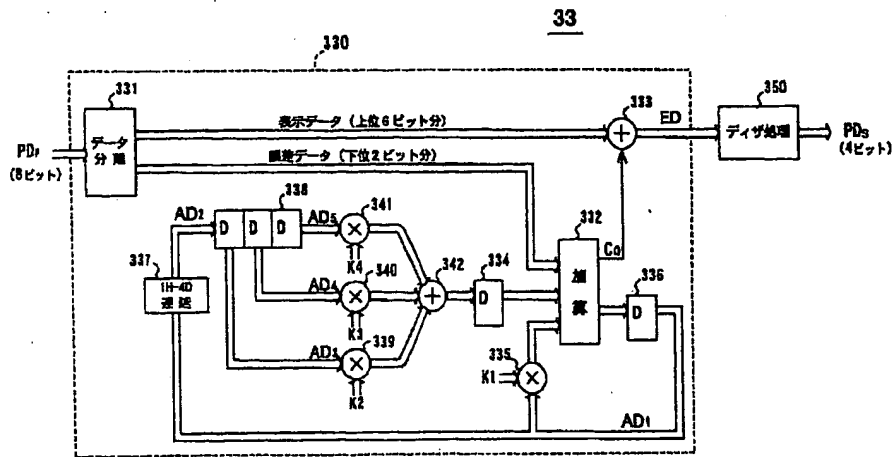
【图 11】

PD _{BL}		PD _P		PD _{BL}		PD _P	
脚度	1 ~ 8	脚度	1 ~ 8	脚度	1 ~ 8	脚度	1 ~ 8
0	00000000	0	00000000	84	01000000	56	00111000
1	00000001	0	00000000	85	01000001	57	00111001
2	00000010	1	00000001	86	01000010	57	00111001
3	00000011	2	00000010	87	01000011	58	00111010
4	00000100	3	00000011	88	01000100	59	00111011
5	00000101	4	00000100	89	01000101	60	00111100
6	00000110	5	00000101	90	01000110	61	00111101
7	00000111	6	00000110	91	01000111	62	00111110
8	00001000	7	00000111	92	01001000	63	00111111
9	00001001	7	00000111	93	01001001	64	01000000
10	00001010	8	00001000	94	01001010	65	01000001
11	00001011	9	00001001	95	01001011	65	01000001
12	00001100	10	00001010	96	01001100	66	01000010
13	00001101	11	00001011	97	01001101	67	01000011
14	00001110	12	00001100	98	01001110	68	01000100
15	00001111	13	00001101	99	01001111	69	01000101
16	00010000	14	00001110	100	01010000	70	01000110
17	00010001	14	00001110	101	01010001	71	01000111
18	00010010	15	00001111	102	01010010	72	01001000
19	00010011	16	00010000	103	01010011	72	01001000
20	00010100	17	00010001	104	01010100	73	01001001
21	00010101	18	00010010	105	01010101	74	01001010
22	00010110	19	00010011	106	01010110	75	01001011
23	00010111	20	00010100	107	01010111	76	01001100
24	00011000	21	00010101	108	01011000	77	01001101
25	00011001	21	00010101	109	01011001	77	01001101
26	00011010	22	00010110	110	01011010	78	01001110
27	00011011	23	00010111	111	01011011	79	01001111
28	00011100	24	00011000	112	01011100	80	01010000
29	00011101	25	00011001	113	01011101	81	01010001
30	00011110	26	00011010	114	01011110	82	01010010
31	00011111	27	00011011	115	01011111	83	01010011
32	00100000	28	00011100	116	01100000	84	01010100
33	00100001	28	00011100	117	01100001	85	01010101
34	00100010	29	00011101	118	01100010	86	01010110
35	00100011	30	00011110	119	01100011	86	01010110
36	00100100	31	00011111	120	01100100	87	01010111
37	00100101	32	00100000	121	01100101	88	01011000
38	00100110	33	00100001	122	01100110	89	01011001
39	00100111	34	00100010	123	01100111	90	01011010
40	00101000	35	00100011	124	01101000	91	01011011
41	00101001	36	00100100	125	01101001	92	01011100
42	00101010	36	00100100	126	01101010	93	01011101
43	00101011	37	00100101	127	01101011	93	01011101
44	00101100	38	00100110	128	01101100	94	01011110
45	00101101	39	00100111	129	01101101	95	01011111
46	00101110	40	00101000	130	01101110	96	01100000
47	00101111	41	00101001	131	01101111	97	01100001
48	00110000	42	00101010	132	01110000	98	01100010
49	00110001	43	00101011	133	01110001	99	01100011
50	00110010	43	00101011	134	01110010	100	01100100
51	00110011	44	00101100	135	01110011	101	01100101
52	00110100	45	00101101	136	01110100	101	01100101
53	00110101	46	00101110	137	01110101	102	01100110
54	00110110	47	00101111	138	01110110	103	01100111
55	00110111	48	00110000	139	01110111	104	01101000
56	00111000	49	00110001	140	01111000	105	01101001
57	00111001	50	00110010	141	01111001	106	01101010
58	00111010	50	00110010	142	01111010	107	01101011
59	00111011	51	00110011	143	01111011	108	01101100
60	00111100	52	00110100	144	01111100	108	01101100
61	00111101	53	00110101	145	01111101	109	01101101
62	00111110	54	00110110	146	01111110	110	01101110
63	00111111	55	00110111	147	01111111	111	01101111

【図12】

PD _{BL}		PD _P		PD _{BL}		PD _P	
順度	1 ~ 8	順度	1 ~ 8	順度	1 ~ 8	順度	1 ~ 8
128	10000000	112	01110000	192	11000000	168	10101000
129	10000001	113	01110001	193	11000001	169	10101001
130	10000010	114	01110010	194	11000010	170	10101010
131	10000011	115	01110011	195	11000011	171	10101011
132	10000100	116	01110011	196	11000100	172	10101100
133	10000101	117	01110100	197	11000101	173	10101101
134	10000110	118	01110101	198	11000110	174	10101110
135	10000111	119	01110110	199	11000111	175	10101111
136	10001000	120	01111000	200	11001000	176	10110000
137	10001001	121	01111001	201	11001001	177	10110001
138	10001010	122	01111010	202	11001010	178	10110010
139	10001011	123	01111011	203	11001011	179	10110011
140	10001100	124	01111100	204	11001100	180	10110100
141	10001101	125	01111101	205	11001101	181	10110101
142	10001110	126	01111110	206	11001110	182	10110110
143	10001111	127	01111111	207	11001111	183	10110111
144	10010000	128	10000000	208	11010000	184	10111000
145	10010001	129	10000001	209	11010001	185	10111001
146	10010010	130	10000010	210	11010010	186	10111010
147	10010011	131	10000011	211	11010011	187	10111011
148	10010100	132	10000100	212	11010100	188	10111100
149	10010101	133	10000101	213	11010101	189	10111101
150	10010110	134	10000110	214	11010110	190	10111110
151	10010111	135	10000111	215	11010111	191	10111111
152	10011000	136	10001000	216	11011000	192	11000000
153	10011001	137	10001001	217	11011001	193	11000001
154	10011010	138	10001010	218	11011010	194	11000010
155	10011011	139	10001011	219	11011011	195	11000011
156	10011100	140	10001100	220	11011100	196	11000100
157	10011101	141	10001101	221	11011101	197	11000101
158	10011110	142	10001110	222	11011110	198	11000110
159	10011111	143	10001111	223	11011111	199	11000111
160	10100000	144	10010000	224	11100000	200	11001000
161	10100001	145	10010001	225	11100001	201	11001001
162	10100010	146	10010010	226	11100010	202	11001010
163	10100011	147	10010011	227	11100011	203	11001011
164	10100100	148	10010100	228	11100100	204	11001100
165	10100101	149	10010101	229	11100101	205	11001101
166	10100110	150	10010110	230	11100110	206	11001110
167	10100111	151	10010111	231	11100111	207	11001111
168	10101000	152	10011000	232	11101000	208	11010000
169	10101001	153	10011001	233	11101001	209	11010001
170	10101010	154	10011010	234	11101010	210	11010010
171	10101011	155	10011011	235	11101011	211	11010011
172	10101100	156	10011100	236	11101100	212	11010100
173	10101101	157	10011101	237	11101101	213	11010101
174	10101110	158	10011110	238	11101110	214	11010110
175	10101111	159	10011111	239	11101111	215	11010111
176	10110000	160	10100000	240	11110000	216	11011000
177	10110001	161	10100001	241	11110001	217	11011001
178	10110010	162	10100010	242	11110010	218	11011010
179	10110011	163	10100011	243	11110011	219	11011011
180	10110100	164	10100100	244	11110100	220	11011100
181	10110101	165	10100101	245	11110101	221	11011101
182	10110110	166	10100110	246	11110110	222	11011110
183	10110111	167	10100111	247	11110111	223	11011111
184	10111000			248	11111000	224	11100000
185	10111001			249	11111001		
186	10111010			250	11111010		
187	10111011			251	11111011		
188	10111100			252	11111100		
189	10111101			253	11111101		
190	10111110			254	11111110		
191	10111111			255	11111111		

【図13】



【図17】

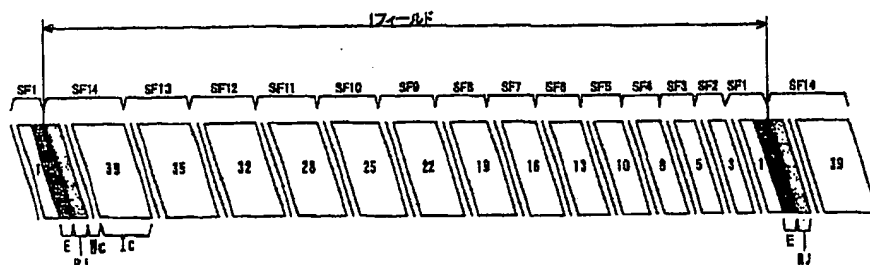
【選択消去】

第2データ変換回路34の変換テーブル															1フィールドにおける発光駆動パターン														発光 順度	
PD _n	GD														SF	SF	SF	SF	SF	SF	SF	SF	SF	SF	SF	SF	SF	SF		
	1	2	3	4	5	6	7	8	9	10	11	12	13	14	1	2	3	4	5	6	7	8	9	10	11	12	13	14		
0000	1	0	0	0	0	0	0	0	0	0	0	0	0	0	●															0
0001	0	1	0	0	0	0	0	0	0	0	0	0	0	0	○	●														1
0010	0	0	1	0	0	0	0	0	0	0	0	0	0	0	○	○	●													4
0011	0	0	0	1	0	0	0	0	0	0	0	0	0	0	○	○	○	●												8
0100	0	0	0	0	1	0	0	0	0	0	0	0	0	0	○	○	○	○	●											17
0101	0	0	0	0	0	1	0	0	0	0	0	0	0	0	○	○	○	○	○	●										27
0110	0	0	0	0	0	0	1	0	0	0	0	0	0	0	○	○	○	○	○	○	●									40
0111	0	0	0	0	0	0	0	1	0	0	0	0	0	0	○	○	○	○	○	○	○	●								56
1000	0	0	0	0	0	0	0	0	1	0	0	0	0	0	○	○	○	○	○	○	○	○	○	●						79
1001	0	0	0	0	0	0	0	0	0	1	0	0	0	0	○	○	○	○	○	○	○	○	○	○	○	○	○	○		97
1010	0	0	0	0	0	0	0	0	0	0	1	0	0	0	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	122
1011	0	0	0	0	0	0	0	0	0	0	0	1	0	0	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	150
1100	0	0	0	0	0	0	0	0	0	0	0	0	1	0	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	182
1101	0	0	0	0	0	0	0	0	0	0	0	0	0	1	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	217
1110	0	0	0	0	0	0	0	0	0	0	0	0	0	0	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	256

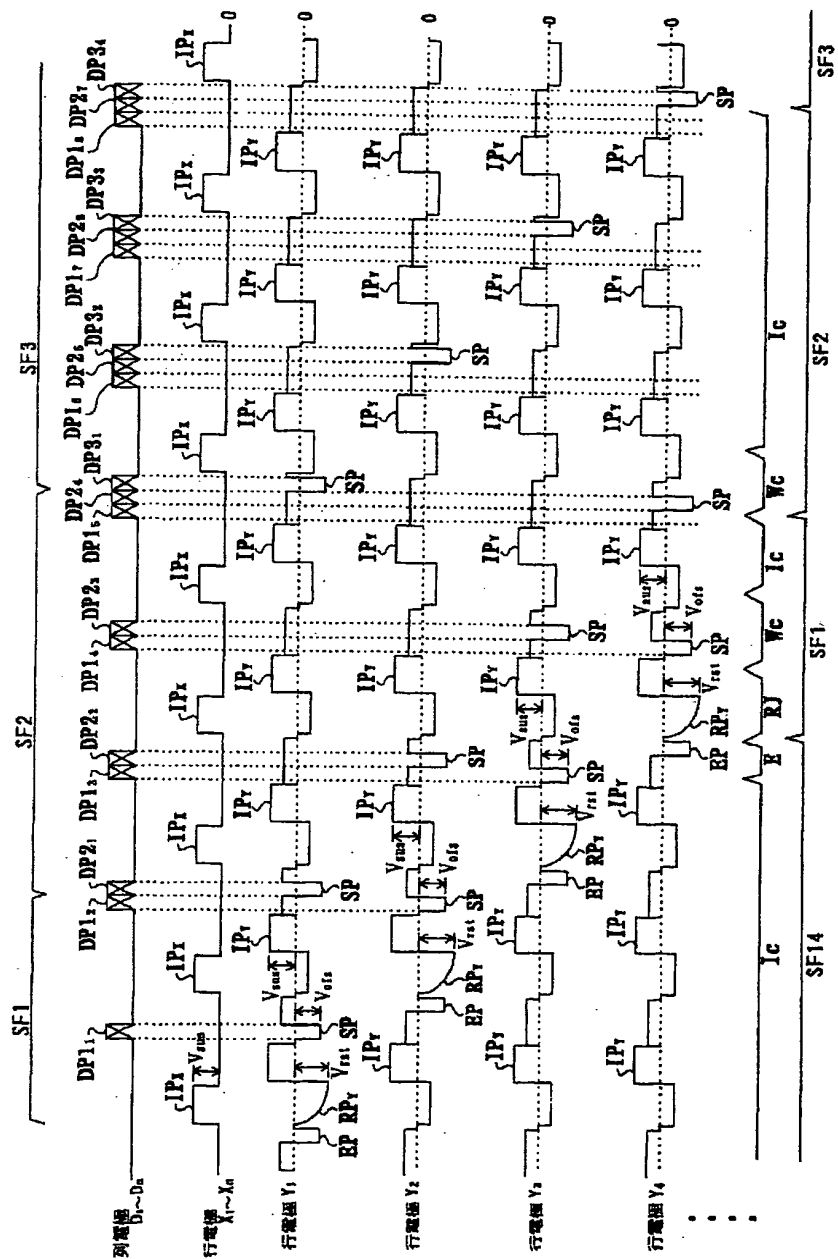
黒丸: 選択消去放電
白丸: 発光

【図20】

【選択書込】



(图 19)



【図21】

【選択書込】

第2データ変換回路34の変換テーブル															1フィールドにおける発光順路パターン															発光 輝度		
P0 _n	14	13	12	11	10	9	8	7	6	5	4	3	2	1	SF	SF	SF	SF	SF	SF	SF	SF	SF	SF	SF	SF	SF	SF	SF		SF	
0000	0	0	0	0	0	0	0	0	0	0	0	0	0	0																		0
0001	0	0	0	0	0	0	0	0	0	0	0	0	0	0																		1
0010	0	0	0	0	0	0	0	0	0	0	0	0	0	0																		4
0011	0	0	0	0	0	0	0	0	0	0	0	0	0	0																		9
0100	0	0	0	0	0	0	0	0	0	0	0	0	0	0																		17
0101	0	0	0	0	0	0	0	0	0	0	0	0	0	0																		27
0110	0	0	0	0	0	0	0	0	0	0	0	0	0	0																		40
0111	0	0	0	0	0	0	0	0	0	0	0	0	0	0																		56
1000	0	0	0	0	0	0	0	0	0	0	0	0	0	0																		75
1001	0	0	0	0	0	0	0	0	0	0	0	0	0	0																		97
1010	0	0	0	0	0	0	0	0	0	0	0	0	0	0																		122
1011	0	0	0	0	0	0	0	0	0	0	0	0	0	0																		150
1100	0	0	0	0	0	0	0	0	0	0	0	0	0	0																		182
1101	0	0	0	0	0	0	0	0	0	0	0	0	0	0																		217
1110	1	0	0	0	0	0	0	0	0	0	0	0	0	0																		255

黒丸:選択書込放電+発光
白丸:発光

THIS PAGE BLANK (USPTO)